

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-222074

(43)Date of publication of application : 01.10.1991

(51)Int.Cl.

G06F 15/70

(21)Application number : 02-016102

(71)Applicant : CANON INC

(22)Date of filing : 29.01.1990

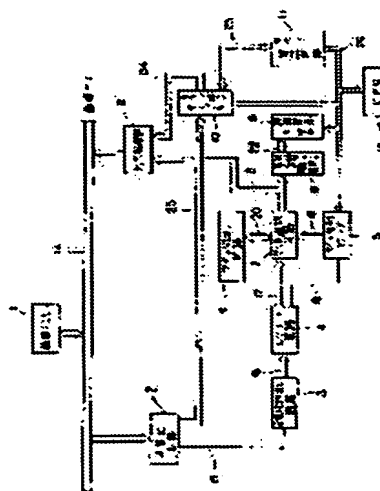
(72)Inventor : HARUYAMA KOJI

(54) LABELLING DEVICE FOR PICTURE PROCESSING

(57)Abstract:

PURPOSE: To reduce the load of a software and increase the speed of picture processing by providing a connection relationship table writing control circuit, a connection table, a label correction circuit and a correction table as a hardware when generating an intermediate label image.

CONSTITUTION: A picture data from a memory 1 makes picture data to a notice picture element through a binary circuit 2 and a binary image segmentation circuit 3. It is inputted through an encoder(encode circuit) 4 to a label selection circuit 7, the storage label value of a label segmentation circuit 5 is read out, and the label value is updated at a label updating counter 6. It is written into the memory 1 through an output selection circuit 12. On the other hand, it is stored in a connection table control circuit 8, and connection relationship table 9. Next, a label correction circuit 11 reads out a label correction table 10 under a CPU 13, a required data rewriting is executed, and it is outputted from the output selection circuit 12. At this time, the output is obtained as a final label image on a picture bus 14. With this constitution, the picture transfer can be executed efficiently, the final label image can be obtained with a little amount of information change, the load of the software when generating the intermediate label image is reduced, and the processing can be executed at high speed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-222074

⑬ Int.Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)10月1日

G 06 F 15/70

3 3 0 A

9071-5B

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 画像処理用ラベル付け装置

⑯ 特 願 平2-16102

⑰ 出 願 平2(1990)1月29日

⑱ 発 明 者 春 山 弘 司 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑲ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
⑳ 代 理 人 弁理士 大塚 康徳 外1名

明 細 書

1. 発明の名称

画像処理用ラベル付け装置

2. 特許請求の範囲

(1) 画像処理用ラベル付け装置において、

画像データを入力し記憶する記憶手段と、

前記記憶された画像データを2値化処理する2値化手段と、

前記2値化処理された2値画像データを所定の領域ごとに切出す切出し手段と、

前記切り出された2値画像データに基づいてコードを発生するコード発生手段と、

前記発生されたコードに基づいて注目画素のラベル値を決定する決定手段と、

前記決定されたラベル値に基づいて中間ラベル像を形成する第1の形成手段と、

前記決定されたラベル値のうち、前記注目画素が隣接する領域と接続関係にあるラベル値を保存する保存手段と、

前記保存されたラベル値に基づいて前記第1の形成手段で形成された中間ラベル像を修正する修正手段と、

前記修正された中間ラベル像に基づいて最終ラベル像を形成する第2の形成手段とを備えることを特徴とする画像処理用ラベル付け装置。

(2) 前記決定手段は、注目画素と同一領域中の隣接画素のラベル値及び任意の値から前記注目画素のラベル値を選択する選択手段を含むことを特徴とする請求項第1項記載の画像処理用ラベル付け装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は画像処理用ラベル付け装置に関し、特に画像パターン認識時において2値画像から各領域ごとの面積、位置等の検出、物体の個数の認識に適した画像処理用ラベル付け装置に関するものである。

〔従来の技術〕

従来、この種の装置においては、2値画像に対してランコードを用いた中央処理装置(CPU)によるソフト処理が行われている。

また、電気回路化した画像処理用ラベル付け装置の例として、中間ラベルコードから最終ラベルコードにソフトウェアで処理することが開示されている特開昭60-200379号や接続関係テーブルから修正テーブルの作成にソフトウェア

〔課題を解決するための手段〕

上述した課題を解決し、目的を達成するため、本発明に係わる画像処理用ラベル付け装置は、画像処理用ラベル付け装置において、画像データを入力し記憶する記憶手段と、前記記憶された画像データを2値化処理する2値化手段と、前記2値化処理された2値画像データを所定の領域ごとに切出す切出し手段と、前記切り出された2値画像データに基づいてコードを発生するコード発生手段と、前記発生されたコードに基づいて注目画素のラベル値を決定する決定手段と、前記決定されたラベル値に基づいて中間ラベル像を形成する第1の形成手段と、前記決定されたラベル値のうち、前記注目画素が隣接する領域と接続関係にあるラベル値を保存する保存手段と、前記保存されたラベル値に基づいて前記第1の形成手段で形成

で処理することが開示されている特開昭63-37482号の出願がある。

〔発明が解決しようとする課題〕

しかしながら、上記従来例では、接続関係を含んだ中間ラベル像を作成した後、中間ラベル像から最終ラベル像をソフトウェアで作成していたために、多大な処理時間を要していた。また、ラベル修正テーブルの書き換えも、接続関係に基づいてソフトウェアで行っているために、ラベルの数が大きくなると、それに伴い処理時間も増大してしまうという欠点がある。

本発明は上述の従来例の欠点に鑑みてなされたものであり、その目的とするところは、中間ラベル像を生成する際に、ソフトウェアの負担を減らし、処理速度を高速化してくれる画像処理用ラベル付け装置を提供する点にある。

された中間ラベル像を修正する修正手段と、前記修正された中間ラベル像に基づいて最終ラベル像を形成する第2の形成手段とを備えることを特徴とする。

〔作用〕

以上の構成によれば、記憶手段は画像データを入力し記憶し、2値化手段は記憶された画像データを2値化処理し、切出し手段は2値化処理された2値画像データを所定の領域ごとに切出し、コード発生手段は切り出された2値画像データに基づいてコードを発生し、決定手段は発生されたコードに基づいて注目画素のラベル値を決定し、第1の形成手段は決定されたラベル値に基づいて中間ラベル像を形成し、保存手段は決定されたラベル値のうち、注目画素が隣接する領域と接続関係にあるラベル値を保存し、修正手段は保存

されたラベル値に基づいて第1の形成手段で形成された中間ラベル像を修正し、第2の手段は修正された中間ラベル像に基づいて最終ラベル像を形成する。

【実施例】

以下に添付図面を参照して、本発明に係わる好適な実施例を詳細に説明する。

第1図は本実施例の画像処理用ラベル付け装置の構成を示すブロック図である。同図において、1はTVカメラ等の外部装置から受信したオリジナルの画像データ及び本実施例の中間ラベル像や最終ラベル像をも記憶する画像メモリを示し、14は画像データを転送するためのデータバスを示している。2はNビット階調($N \geq 1$)の画像データを2値化するための2値化回路を示し、3は画像メモリ1から2値化回路2を介して2値化

値を選択し、これを中間ラベル値として出力するラベル像切出し回路、8は中間ラベル値の接続関係を格納して保存する接続関係テーブル9に対し、データを書き込むか否かの一方の処理を選択する接続テーブル書き込み制御回路をそれぞれ示している。9は上記接続関係にあるラベル値を2つ記憶する接続関係テーブルを示し、10は中間ラベル値から最終ラベルを得るためにラベルを修正するラベル修正テーブルを示している。11は接続関係テーブル9より上記接続関係にあるラベル値同士に基づいてラベル修正テーブル10を書き換えるラベル修正回路を示し、12は中間ラベル作成時にラベル選択回路7の出力データを画像メモリ1へ保存するため、その出力データをデータバス14に出力し、最終ラベル作成時にラベル修正テーブル10の出力データを選択する出力選択

された2値画像データを、 3×2 画素サイズの局所領域に切出す2値像切出し回路を示している。

4はこの2値像切出し回路3で切り出された局所領域において、注目画素近傍の画素との接続関係を定められた複数の2値化パターンと比較し、その結果、一致する2値化パターンのコードを出力するエンコード回路を示している。5はエンコード回路4で出力された 3×2 画素の領域ごとのコード、即ち、ラベル値を一画面分保存記録し、後に注目画素近傍のラベル値を切り出すラベル切出し回路を示している。6は新しいラベル値を更新し、その値を記憶して後述のラベル選択回路7に出力するラベル更新カウンタを示し、7はエンコード回路4でコード化されたデータ値に従って、ラベル切出し回路5で切り出されたラベル値またはラベル更新カウンタ6で更新されたラベル

回路を示している。13は後述のラベル修正動作を制御するCPUを示している。以上、本実施例の画像処理用ラベル付け装置は、ハードウェアにより構成されている。

次に、本実施例の画像処理用ラベル付け装置の動作について説明する。尚、ここでは、一例として、画素サイズを 10×10 画素の領域に限定しているが、本発明の趣旨を逸脱しない範囲であれば、これに限定されるものではない。

第2図は 10×10 画素の領域で2値画像を示す図、第3図は第2図の2値画像の中間ラベル像を示す図、第4図は第3図の中間ラベル像の最終ラベル像を示す図、そして、第5図はエンコード回路4からの第2図の2値画像の値に対応した出力コード像を説明する図である。また、第6図(a)、(b)は2値画像とラベル像切出し回路

5との座標関係を説明する図、第7図はエンコード回路4の動作による入出力を説明する図、第8図は第2図に示される画像データを入力したときの接続関係テーブル9を説明する図、第9図は接続関係テーブル9に従ってラベル修正テーブル10を書き換える動作を説明する図である。

まず、第2図に示されるように、2値画像データが画像メモリ1に記憶された場合、2値画像データはデータバス14を介し、座標 (X_0, Y_0) 、 (X_1, Y_0) 、 \dots 、 (X_0, Y_1) 、 (X_1, Y_1) 、 \dots 、 (X_0, Y_2) の順に2値化回路2に入力される。

そこで、中間ラベル像を作成する場合には、2値画像データが2値化回路2からバス15を介して2値像切出し回路3に入力される。2値像切出し回路3で切り出される 3×2 画素の2値画像

選択回路7では、バス17を介してエンコード回路4から入力したコード値に従って、ラベル像切出し回路5に記憶されているラベル値、即ち、第6図(b)に示される $l(i, j)$ 近傍の中間ラベル値を第7図からA値とする。例えば、2値化パターンに対応するコードが“5”の場合、エンコード回路4はバス18を介してエンコードが行われた経過を情報としてラベル更新カウンタ6に送出し、ラベル更新カウンタ6は入力した情報からラベル値を更新し、そのラベル更新値をバス19を通してラベル選択回路7に送出する。このときの中間ラベル値は、第7図に示されるように、ラベル更新値である。ラベル選択回路7で決定された中間ラベル値は、第3図に示されるパターンデータとなり、この中間ラベル値はバス21を介して出力選択回路12に入力され、データバス1

データの領域は、第6図(a)のように注目画素 (i, j) に対して生成され、バス16を通してエンコード回路4に出力される。エンコード回路4は、2値像切出し回路3で切出された2値画像データの2値化パターンに対応するコード値を、第7図に示される対応関係に基づいて、第5図に示されるコード像に変換する。エンコード回路4から出力されるコード像、即ち、出力値はバス17を通してラベル選択回路7に入力される。ここで、第2図に示される2値は第5図に示されるコードと同じ座標で対応関係にある。ここでは、2値画像データの画素値“1”に対してのみ着目しているが、エンコード回路4によるパターンに対する出力コードを変えることによつて、“0”に着目したラベル付け、または、“0”、“1”両方に着目したラベル付けが可能である。ラベル

4を通つて画像メモリ1に書き込まれる。またバス21を通る中間ラベル値は、接続テーブル書き込み制御回路8にも入力される。コード“8”またはコード“9”のときには、テーブルアドレスと接続関係にあるため、各コードのときのラベル値がどちらも接続関係テーブル9に記憶される。

次に、接続関係テーブル9のデータからラベル修正テーブル10を書き換える動作に入る。CPU13によつて接続関係テーブル9はアドレス“0”から逐次読み込まれ、ラベル修正回路11に2つのラベル値(コード“8”またはコード“9”に対応)がセットされる。ここでラベル修正回路11はラベル修正テーブル10の内容を読み出し、接続関係のラベル値があつた場合、ラベル修正テーブル10のデータを書き換える動作をする。第9図によると、初期値からa、b、cの

順に内容を変化させ、最後にdで1回内容を走査してラベル値を小さい順にインクリメントリ値に修正し、これを確定ラベルデータとする。

次に、画像メモリ1に入っている中間ラベル像をデータバス14を通して、2値化回路2に入力し、バス25を通してラベル修正テーブル10に出力する。ラベル修正テーブル10からの出力データは第4図に示されるパターンデータように形成され、バス24を通り、出力選択回路12からデータバス14に出力される。このとき、出力選択回路12からの出力画像データ(第4図)は、最終ラベル像としてデータバス14に出力される。以上説明したように本実施例によれば、中間ラベル像を生成する際に接続関係テーブル書き込み制御回路8及び接続関係テーブル9をハードウェアで設けることによつて、画像の転送を変更

中断することなく効率良く実施することができることは勿論、同様にハードウェアでラベル修正回路11及びラベル修正テーブル10を設けることにより少ない情報量の変更のみで最終ラベル像を得ることができるので、中間ラベル像を生成する際に、ソフトの負担が減り、全体の処理速度が高速化するという効果がある。

さて、上述したエンコード回路4では、データ“1”に着目した3×2画素の画像データの領域についての説明であるが、本発明はこれに限定されるものではなく、2値像切出し回路3の出力を、エンコード回路4の入力に対するコード値を変更することにより、“0”に着目した場合、または、“0”、“1”両方に対するラベル付け、または、3×2でなく2×2の領域の場合も可能となる。

【発明の効果】

以上説明したように本発明によれば、中間ラベル像を生成する際に、ソフトの負担が減り、全体の処理速度が高速化するという効果がある。

4. 図面の簡単な説明

第1図は本実施例の画像処理用ラベル付け装置の構成を示すブロック図、

第2図は10×10画素の領域で2値画像を示す図、

第3図は第2図の2値画像の中間ラベル像を示す図、

第4図は第3図の中間ラベル像の最終ラベル像を示す図、

第5図はエンコード回路4からの第2図の2値画像の値に対応した出力コード像を説明する図、

第6図(a)、(b)は2値画像とラベル像切

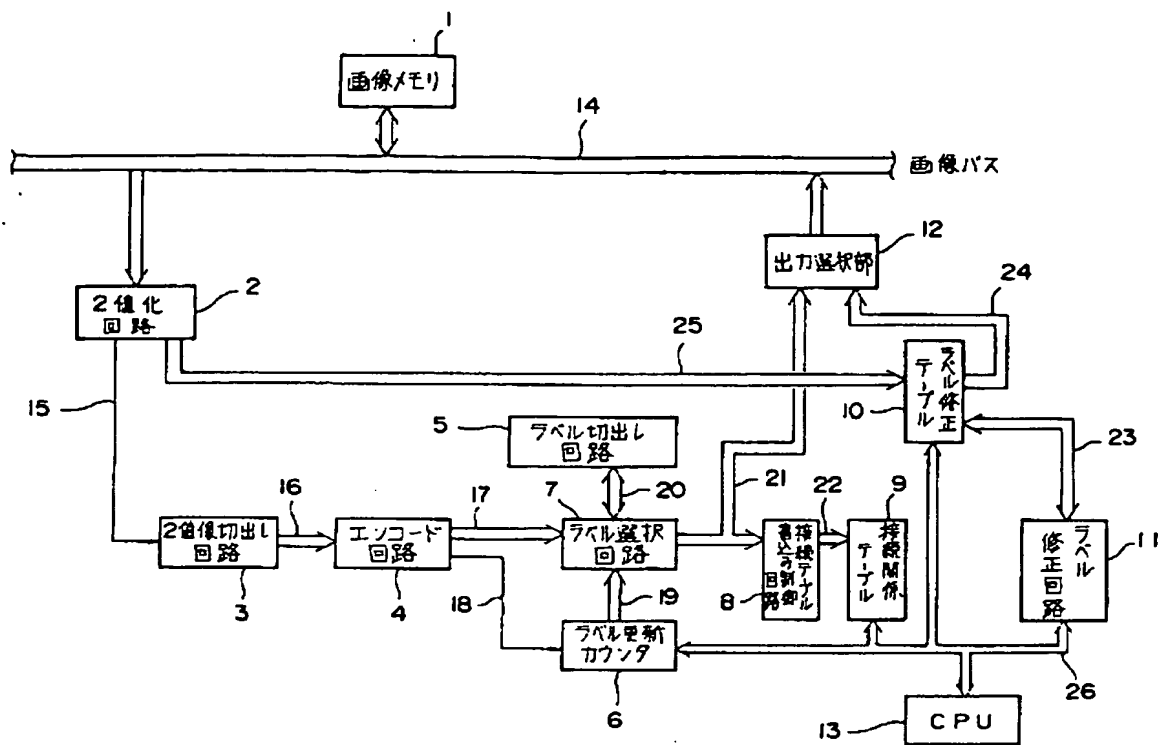
出し回路5との座標関係を説明する図、

第7図はエンコード回路4の動作による入出力を説明する図、

第8図は第2図に示される画像データを入力したときの接続関係テーブル9を説明する図、

第9図は接続関係テーブル9に従つてラベル修正テーブル10を書き換える動作を説明する図である。

図中、1…画像メモリ、2…2値化回路、3…2値像切出し回路、4…エンコード回路、5…ラベル像切り出し回路、6…ラベル更新カウンタ、7…ラベル選択回路、8…接続テーブル書き込み制御回路、9…接続関係テーブル、10…ラベル修正テーブル、11…ラベル修正回路、12…出力選択回路、13…CPU、14…データバス、15～25…バスである。



第 一 圖

	X ₀	X ₁	-----						X ₉	
Y ₀	0	0	0	0	0	0	0	1	1	0
Y ₁	0	0	0	0	0	0	0	1	1	0
	0	0	0	0	1	0	0	1	1	0
,	0	0	0	1	1	0	0	1	1	0
,	0	0	0	1	1	0	1	1	1	0
,	0	1	1	1	1	1	1	1	0	0
,	0	0	1	1	1	1	1	0	0	0
	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	1	1	1	0	0
Y ₉	0	0	0	1	1	1	1	1	0	0

第 2 図

0	0	0	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	1	0
0	0	0	0	2	0	0	1	1	0
0	0	0	2	2	0	0	1	1	0
0	0	0	2	2	0	1	1	1	0
0	3	3	3	3	3	3	3	0	0
0	0	3	3	3	3	3	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	4	4	4	0	0
0	0	0	5	5	5	5	5	0	0

第 3 図

0	0	0	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	1	0
0	0	0	0	1	0	0	1	1	0
0	0	0	1	1	0	0	1	1	0
0	0	0	1	1	0	1	1	1	0
0	1	1	1	1	1	1	1	0	0
0	0	1	1	1	1	1	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	2	2	2	0
0	0	0	2	2	2	2	2	0	0

第 4 図

0	0	0	0	0	0	0	5	1	0
0	0	0	0	0	0	0	3	1	0
0	0	0	0	5	0	0	3	1	0
0	0	0	4	1	0	0	3	1	0
0	0	0	3	1	0	4	1	1	0
0	5	8	1	1	8	1	1	0	0
0	0	2	1	1	1	1	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	5	1	1	0	0
0	0	0	5	8	1	1	1	0	0

第 5 図

$(i-1, j-1)$	$(i, j-1)$	$(i+1, j-1)$
$(i-1, j)$	(i, j)	$(i+1, j)$

(a)

ℓ $(i-1, j-1)$	ℓ $(i, j-1)$	ℓ $(i+1, j-1)$
ℓ $(i-1, j)$	ℓ (i, j)	

(b)

第 6 図

コード	切り出された 2 値化 パターン	A																																				
0	<table><tr><td>*</td><td>*</td><td>*</td></tr><tr><td>*</td><td>0</td><td>*</td></tr></table>	*	*	*	*	0	*	0																														
*	*	*																																				
*	0	*																																				
1	<table><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table> <table><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table> <table><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table> <table><tr><td>1</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table> <table><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table> <table><tr><td>1</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table>	0	0	0	1	1	*	1	0	0	1	1	*	0	1	0	1	1	*	1	1	0	1	1	*	0	1	1	1	1	*	1	1	1	1	1	*	ℓ (i-1, j)
0	0	0																																				
1	1	*																																				
1	0	0																																				
1	1	*																																				
0	1	0																																				
1	1	*																																				
1	1	0																																				
1	1	*																																				
0	1	1																																				
1	1	*																																				
1	1	1																																				
1	1	*																																				
2	<table><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table> <table><tr><td>1</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table> <table><tr><td>1</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table>	1	0	0	0	1	*	1	1	0	0	1	*	1	1	1	0	1	*	ℓ (i-1, j-1)																		
1	0	0																																				
0	1	*																																				
1	1	0																																				
0	1	*																																				
1	1	1																																				
0	1	*																																				
3	<table><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table> <table><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table>	0	1	0	0	1	*	0	1	1	0	1	*	ℓ (1, j-1)																								
0	1	0																																				
0	1	*																																				
0	1	1																																				
0	1	*																																				
4	<table><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table>	0	0	1	0	1	*	ℓ (i+1, j-1)																														
0	0	1																																				
0	1	*																																				
5	<table><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table>	0	0	0	0	1	*	フベル 更新値																														
0	0	0																																				
0	1	*																																				
8	<table><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table> <table><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>*</td></tr></table>	0	0	1	1	1	*	1	0	1	1	1	*	ℓ (i-1, j)																								
0	0	1																																				
1	1	*																																				
1	0	1																																				
1	1	*																																				
9	<table><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>*</td></tr></table>	1	0	1	0	1	*	ℓ (i-1, j-1)																														
1	0	1																																				
0	1	*																																				

第 7 図

ツベル 7bit	ツベルデ-9	
	#1	#2
0	3	2
1	3	1
2	5	4
...

第 8 図

ツベル 7bit	初期値	d
0	0	0
1	1	1
2	2	2
3	3	3
4	4	4
5	5	5
6	6	6
7	7	7
8	8	8
...

第 9 図